

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許出願公告番号

特公平7-95829

(24) (44)公告日 平成7年(1995)10月11日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 5/335	P			
H 0 1 L 27/148				
H 0 4 N 1/028		7376-4M	H 0 1 L 27/ 14	B

請求項の数2 (全 8 頁)

(21)出願番号	特願昭63-279105	(71)出願人	999999999 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	昭和63年(1988)11月4日	(72)発明者	後藤 浩成 神奈川県川崎市幸区堀川町72番地 株式会 社東芝堀川町工場内
(65)公開番号	特開平2-131681	(74)代理人	弁理士 佐藤 一雄 (外3名)
(43)公開日	平成2年(1990)5月21日	審査官	関谷 隆一
(31)優先権主張番号	特願昭63-186366	(56)参考文献	特開 昭59-140766 (J P, A) 特開 昭63-64469 (J P, A)
(32)優先日	昭63(1988)7月26日		
(33)優先権主張国	日本 (J P)		

(54)【発明の名称】 固体撮像装置

【特許請求の範囲】

【請求項1】入射光量に応じた信号電荷を発生する複数の感光画素と、外部から入力されるパルスに基づいて所定の制御パルスを発生するシフトレジスタと、前記複数の感光画素の各々に対応して設けられる複数の電荷電圧変換手段と、前記複数の電荷電圧変換手段の出力を統合して外部に出力する共通出力ラインとを半導体基板上に集積化してなり、

前記電荷電圧変換手段は、対応する感光画素が発生した信号電荷を蓄積する電荷蓄積部と、

外部から入力されるパルスおよび前記シフトレジスタから送出される制御パルスに基づいてリセットパルスを生成するリセットパルス生成手段と、

前記電荷蓄積部に隣接して設けられ、前記リセットパルス生成手段から送出されるリセットパルスに基づいてゲ

ートを開閉するリセットゲートと、

前記リセットゲートが開いたとき前記電荷蓄積部を所定の電位に設定するリセットドレインと、

前記電荷蓄積部の電位が印加される第1のドライバーゲートと、この第1のドライバーゲートと接地端子の間に直列に接続された電流源と、前記第1のドライバーゲートと電源端子の間に直列に接続される電源開閉用スイッチゲートと、一端が電源端子に他端が前記共通出力ラインに接続され、前記第1のドライバーゲートと前記電流源との接続点の電圧が印加される第2のドライバーゲートを有し前記電荷蓄積部の電荷を検出する電荷検出部と、

を備え、前記シフトレジスタが発生する所定の制御パルスに基づいて、対応する感光画素が発生する信号電荷の積分量およびこの積分量の零基準レベルを検出し、これ

らの検出値を電圧に変換して前記共通出力ラインに選択的に送出することを特徴とする固体撮像装置。

【請求項 2】前記共通出力ラインに 1 つの負荷電流源が接続されて、半導体基板上に同時に集積化されていることを特徴とする請求項 1 記載の固体撮像装置。

【発明の詳細な説明】

〔発明の目的〕

〔産業上の利用分野〕

本発明は固体撮像装置に関する。

〔従来の技術〕

従来のリニアイメージセンサとしては、CCDリニアイメージセンサ、あるいはアモルファスシリコンを用いた密着型イメージセンサが使用されている。

〔発明が解決しようとする課題〕

上述のCCDセンサの場合は、一般にCCDアナログシフトレジスタを用いて信号の読出しを行っているため製造工程が複雑であり、安価ではないという問題点とともにアモルファスセンサに比べて駆動電圧が高いという問題点があった。

一方、アモルファスシリコンを用いた密着型イメージセンサの場合は、出力が光電流という形で得られるため、適当な積分器を外づけにする必要があるとともに充分なS/N比が得られないという問題点があった。

本発明は上記問題点を考慮してなされたものであって、製造工程が簡単で、充分なS/N比を得ることのできる固体撮像装置を提供することを目的とする。

〔発明の構成〕

〔問題点を解決するための手段〕

本発明による固体撮像装置は、入射光量に応じた信号電荷を発生する複数の感光画素と、外部から入力されるパルスに基づいて所定の制御パルスが発生するシフトレジスタと、前記複数の感光画素の各々に対応して設けられる複数の電荷電圧変換手段と、前記複数の電荷電圧変換手段の出力を統合して外部に出力する共通出力ラインとを半導体基板上に集積化してなり、

前記電荷電圧変換手段は、前記シフトレジスタが発生する所定の制御パルスに基づいて、対応する感光画素が発生する信号電荷の積分量およびこの積分量の零基準レベルを検出し、これらの検出値を電圧に変換して前記共通出力ラインに選択的に送出することを特徴とする。

〔作用〕

このように構成された本発明による固体撮像装置によれば、信号電荷の読み出しが所定の制御パルスに基づいて行われるため、従来のCCDセンサとは異なり、例えば多層ポリシリコンの形成が不要となって製造工程が簡単となる。また、信号電荷の積分量およびこの積分量の零基準レベルが電荷電圧変換手段によって検出され、対応する電圧値に変換されて共通出力ラインを介して外部に選択的に出力される。これにより、例えば相関二重サンプリング等の処理が可能となり充分なS/N比を得ること

ができる。

〔実施例〕

図面を用いて本発明の実施例を説明する。第 1 図において、符号 1 は半導体基板であり、この半導体基板 1 にシフトレジスタ 2、感光画素 PE_1, \dots, PE_n 、電荷電圧変換手段 A_1, \dots, A_n 、電流源 4、および共通出力ライン 5 が集積化されている。また、半導体基板 1 には端子 8a, 8b, 8c, 8d, 8e, 8f, および 8g が設けられている。シフトレジスタ 2 に外部から端子 8a および 8b を介してそれぞれ駆動パルス ϕ_1 および ϕ_2 が定常的に印加される。更に端子 8c を介してスタートパルス ϕ_* がシフトレジスタ 2 に印加され、端子 8d を介して直流電圧（例えば 5V）がシフトレジスタ 2 および電荷電圧変換手段 A_1, \dots, A_n に印加される。また、端子 8e を介して入力されるリセットパルス ϕ_R は電荷電圧変換手段 A_1, \dots, A_n に印加される。なお端子 8f は接地端子である。

一方シフトレジスタ 2 は、駆動パルス ϕ_1, ϕ_2 およびスタートパルス ϕ_* に基づいて、制御パルス ϕ_{sj}, ϕ_{bj} ($i=1, \dots, n$) を発生し、電荷電圧変換手段 A_i に送出する。このように駆動パルス ϕ_1, ϕ_2 およびスタートパルス ϕ_* に基づいて制御パルス ϕ_{sj}, ϕ_{bj} ($i=1, \dots, n$) を発生するシフトレジスタ 2 の一具体例を第 5 図に示す。第 5 図において、シフトレジスタ 2 はスタート回路 SR_0 と、 n 個の制御パルス発生回路 SR_1, \dots, SR_n からなっている。スタート回路 SR_0 は第 5 図に示すように 4 個の MOS トランジスタ（以下、単にトランジスタともいう） M_{01}, \dots, M_{04} と 1 個の容量 C_0 からなっている。また、制御パルス発生回路 SR_i ($i=1, \dots, n$) は、第 5 図に示すように 8 個の MOS トランジスタ M_{i1}, \dots, M_{i8} と 2 個の容量 C_{i1}, C_{i2} からなっている。

なお、第 5 図においては、制御パルス発生回路 SR_2 の 4 個の MOS トランジスタ $M_{25}, M_{26}, M_{27}, M_{28}$ と容量 C_{22} は省略してある。

次に、スタート回路 SR_0 と制御パルス発生回路 SR_i の動作を第 6 図を用いて説明する。

第 6 図に示す駆動パルス ϕ_1, ϕ_2 がシフトレジスタ 2 に印加されているときに時刻 t_1 においてスタートパルス ϕ_* が印加された場合を考える。スタート回路 SR_0 の MOS トランジスタ M_{01} のソース側には第 1 図に示す端子 8d を介して 5V の直流電圧が印加されている。時刻 t_1 において MOS トランジスタ M_{01} のゲートにスタートパルス ϕ_* が印加されると、トランジスタ M_{01} のドレイン側の点 a の電位 ϕ_a は低レベルから上昇して 5V 以下のある値になる。そして時刻 t_2 においてスタートパルス ϕ_* のレベルが高レベルから低レベルになって容量 C_0 の影響によって点 a の電位 ϕ_a は 5V 以下のある値のままとなっている。この電位 ϕ_a はトランジスタ M_{02} のゲートに印加されるが、駆動パルス ϕ_2 のレベルが低レベルのため点 b の電位 ϕ_b も低レベルになっている。この状態は、時刻 t_4 において駆動パルス ϕ_2 のレベルが低から高になるまで続く。

時刻 t_4 において駆動パルス ϕ_2 のレベルが低から高になると点 b の電位 ϕ_b は上昇し、したがって昇圧作用によって点 a の電位 ϕ_a も上昇して第6図に示すように5V以上のある値になる。そしてこの状態は時刻 t_5 まで続く。時刻 t_5 になると駆動パルス ϕ_2 のレベルが高から低になるから点 b の電位 ϕ_b も高から低になり、したがって点 a の電位 ϕ_a も5V以上のある値から5V以下のある値に低下する。

一方、制御パルス発生回路 SR_1 のトランジスタ M_{11} のソース側には第1図に示す端子8dを介して5Vの直流電圧が印加されており、トランジスタ M_{11} のゲートに電位 ϕ_b が印加されているから、スタート回路 SR_0 の点 a の電位 ϕ_a の場合と同様にトランジスタ M_{11} のドレイン側の点 c の電位 ϕ_c も時刻 t_4 において低レベルから5V以下のある値に上昇する。そして、この状態は、トランジスタ M_{12} のソース側に印加される駆動パルス ϕ_1 のレベルが低から高になる時刻 t_6 まで続く。トランジスタ M_{12} のゲートに電位 ϕ_c が印加されており、かつ時刻 t_6 に駆動パルス ϕ_1 のレベルが低から高になるから点 d の電位 ϕ_d は上昇する。したがって昇圧作用によって点 c の電位 ϕ_c も上昇し、5V以上のある値になる。そしてこの状態は駆動パルス ϕ_1 のレベルが高から低になる時刻 t_7 まで続く。なお、時刻 t_6 において電位 ϕ_d が低レベルから高レベルに変化するから、この電位 ϕ_d が印加されているスタート回路 SR_0 のトランジスタ M_{03} のゲートは、時刻 t_6 において開き、点 a の電位 ϕ_a は低レベルとなる。

時刻 t_7 になると、駆動パルス ϕ_1 のレベルが高から低になるから、点 d の電位 ϕ_d も高レベルから低レベルになり、したがって点 c の電位 ϕ_c も5V以上のある値から5V以下のある値に低下する。

一方、制御パルス発生回路 SR_1 のトランジスタ M_{15} のソース側には第1図に示す端子8dを介して5Vの直流電圧が印加されており、トランジスタ M_{15} のゲートに電位 ϕ_d が印加されているから、トランジスタ M_{15} のドレイン側の点 e の電位 ϕ_e は時刻 t_6 において低レベルから5V以下のある値に上昇する。そしてこの状態は、トランジスタ M_{16} のソース側に印加される駆動パルス ϕ_2 のレベルが低から高になる時刻 t_8 まで続く。トランジスタ M_{16} のゲートに電位 ϕ_e が印加されており、かつ時刻 t_8 に駆動パルス ϕ_2 のレベルが低から高になるから、点 f の電位 ϕ_f は上昇する。したがって昇圧作用によって点 e の電位 ϕ_e も上昇し、5V以上のある値になる。そしてこの状態は駆動パルス ϕ_2 のレベルが高から低になる時刻 t_9 まで続く。

なお時刻 t_8 において点 f の電位 ϕ_f のレベルが低から高になるから、この電位 ϕ_f が印加されているトランジスタ M_{13} のゲートは、時刻 t_8 において開き、点 c の電位 ϕ_c は低レベルとなる。そして電位 ϕ_c および ϕ_f がそれぞれ制御パルス ϕ_{s1} および ϕ_{B1} として制御パルス発生回路 SR_1 から取出され、電荷電圧変換手段 A_1 に送出され

る。

なお、制御パルス発生回路 SR_1 から制御パルス発生回路のトランジスタ M_{21} のゲートに電位 ϕ_f が印加され、制御パルス発生回路 SR_1 の場合と同様に制御パルス発生回路 SR_2 から制御パルス ϕ_{s2} および ϕ_{B2} が取出され、電荷電圧手段 A_2 に送出される。このようなことが順次繰り返されることにより制御パルス発生回路 SR_i ($i=1, \dots, n$) から制御パルス ϕ_{si} および ϕ_{Bi} が取出され、電荷電圧変換手段 A_i に送出される。なお、制御パルス ϕ_{si} は第6図に示すように3値パルスとなっており、その最高レベルが電源電圧 (5V) よりも高い。

再び第1図において、電荷電圧変換手段 A_i ($i=1, \dots, n$) は、制御パルス ϕ_{si} 、 ϕ_{Bi} および端子8eを介して印加されるリセットパルス ϕ_R に基づいて、感光画素 PE_j が発生する信号電荷の積分量、およびこの積分量の零基準レベルを検出し、これらの検出値を電圧に変換して共通出力ライン5に選択的に送出する。そして共通ライン5に選択的に送出された電荷電圧変換手段 A_i の出力 V_{out} は端子8gを介して外部に出力される。

このような電荷電圧変換手段 A_i の一具体例を第2図に示す。符号11は感光画素 (例えば、フォトダイオード) PE_j において発生した信号電荷を蓄積する容量を示し、符号12はリセットトランジスタを示す。符号14~19はMOSトランジスタ (以下、単にトランジスタという) を示し、符号20は電流源を示す。符号21はドライバーゲートを示し、符号24は昇圧用容量を示す。

そして、制御パルス ϕ_{si} は第2図に示すようにトランジスタ15および18のゲートに印加され、制御パルス ϕ_{Bi} はトランジスタ17のゲートに印加される。また、リセットパルス ϕ_R はトランジスタ16のソースに印加される。

なお、フォトダイオード PE_j は、例えば第3図に示すように n 型半導体基板上に P ウェルを形成し、この P ウェルの表面に n 領域および P^+ 領域を形成することによって構成される。

また、2つの n^+ 領域が P ウェルの表面に分離されて形成され、そのうちの1つの n^+ 領域が n 領域に接触している。この n^+ 領域と、上記2つの n^+ 領域の間に形成される電極とによってリセットトランジスタ12が構成される。第2図に示す電荷電圧変換手段 A_i の動作を第4図を用いて説明する。第4図に示すリセットパルス ϕ_R および制御パルス ϕ_{si} 、 ϕ_{Bi} が電荷電圧変換手段 A_i に印加されるものとする。なお、制御パルス ϕ_{si} 、 ϕ_{Bi} はシフトレジスタのスタートパルス ϕ_* の周期と同一の周期で繰り返し発生していることに注意しておく。

トランジスタ14のソースおよびゲートに第1図に示す端子8dを介して5Vの直流電圧が印加されている (第2図参照)。そして時刻 T_1 において、制御パルス ϕ_{si} がトランジスタ15のゲートに印加されると、第2図に示す点 α の電位 ϕ_α は低レベルから若干上昇し、ある所定のレベルになる (第4図参照)。時刻 T_2 において制御パルス ϕ_{si}

のレベルが高になるので電位 ϕ_α は待機レベルになる。そして時刻 T_3 になるとリセットパルス ϕ_R のレベルが低から高になるから、昇圧作用によって点 α の電位 ϕ_α も上昇し、ある所定のレベル（以下、このレベルをリセットレベルという）になる。次に時刻 T_4 になるとリセットパルス ϕ_R のレベルが高から低になるから電位 ϕ_α は再び待機レベルになる。そしてこの待機レベルは時刻 T_5 まで続く。

このようにリセットトランジスタ12のゲートに印加されるパルス ϕ_{RSi} ($=\phi_\alpha$) は4値パルスとなる。そしてパルス ϕ_{RSi} が待機レベルである期間中、容量11はリセットトランジスタ12によってリセットされずに信号電荷を保持している。容量11は、パルス ϕ_{RSi} がリセットレベルになる時刻 T_3 にリセットされる。そして、このリセット状態は時刻 T_4 まで続く。その後フォトダイオード PE_j からの信号電荷が容量11に蓄積されるにつれて第2図に示す点 β の電位 ϕ_β は低下していく。

制御パルス ϕ_{si} のレベルが最高レベルになっているとき（時刻 T_2 から T_5 まで）ソースフォロフ回路としてトランジスタ19が活性化する。パルス ϕ_{RSi} のレベルが待機レベルで、かつ制御パルス ϕ_{si} のレベルが最大レベルである期間（時刻 T_2 から T_3 まで）では、前回のリセット動作後から時刻 T_2 までに容量11に蓄積された信号電荷の量に対応する電位 ϕ_γ がソースフォロア回路で検出される。そして、パルス ϕ_{RSi} のレベルがリセットレベルで、かつ制御パルス ϕ_{si} のレベルが最大レベルである時間（時刻 T_3 から T_4 まで）では、容量11の電位 ϕ_β はリセットされる。またパルス ϕ_{RSi} のレベルが待機レベルで、かつ制御パルス ϕ_{si} のレベルが最大レベルである期間（時刻 T_4 から T_5 まで）では、リセット後フォトダイオード PE_j から信号電荷が流入を開始する時の、信号電荷がほとんど無い状態の容量11の電位が検出される。このときのレベルを信号電荷の零基準とみなすことができる。

そして、検出された電位 ϕ_γ はドライバゲート21によって増幅されて共通出力ライン5に送出される。なお、制御パルス ϕ_{si} がトランジスタ18のゲートに印加される前は点 γ の電位 ϕ_γ は零であり、この電位 ϕ_γ がドライ

バゲート21に印加されているため、共通出力ライン5は点 γ の電位の影響を受けない。また、電荷電圧変換手段 A_j の点 γ の電位 ϕ_γ が零でないとき、すなわち制御パルス ϕ_{si} が低レベルでないとき、他の $n-1$ 個の電荷電圧変換手段 A_j ($j \neq i$) に印加される制御パルス ϕ_{sj} のレベルは低レベルとなっているため、他の $n-1$ 個の電荷電圧変換手段 A_j の出力は遮断されることになる。したがって共通出力ライン5において選択的に電位、すなわち信号電荷の読み出しが可能となる。

以上により本実施例によれば、信号電荷の読み出しが所定の制御パルスに基づいて行われるため、従来のCCDセンサとは異なり、例えば多層ポリシリコンの形成が不要となって製造工程が簡単となる。また、信号電荷の積分量およびこの積分量の零基準レベルが電圧値に変換されて共通出力ライン5を介して外部に選択的に出力されることにより、例えば相関二重サンプリング等の処理が可能となり、充分なS/N比を得ることができる。更に5Vという低電圧によって駆動することができる。

【発明の効果】

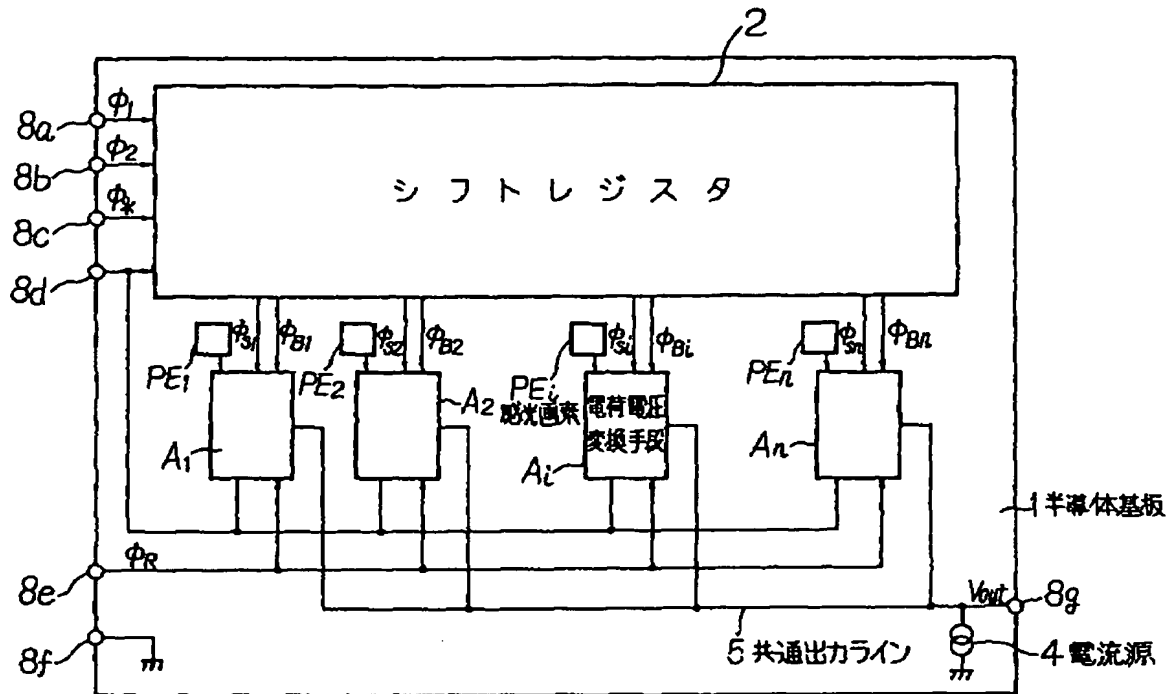
以上述べたように本発明の固体撮像装置によれば、製造工程が簡単であって、かつ充分なS/N比を得ることができる。

【図面の簡単な説明】

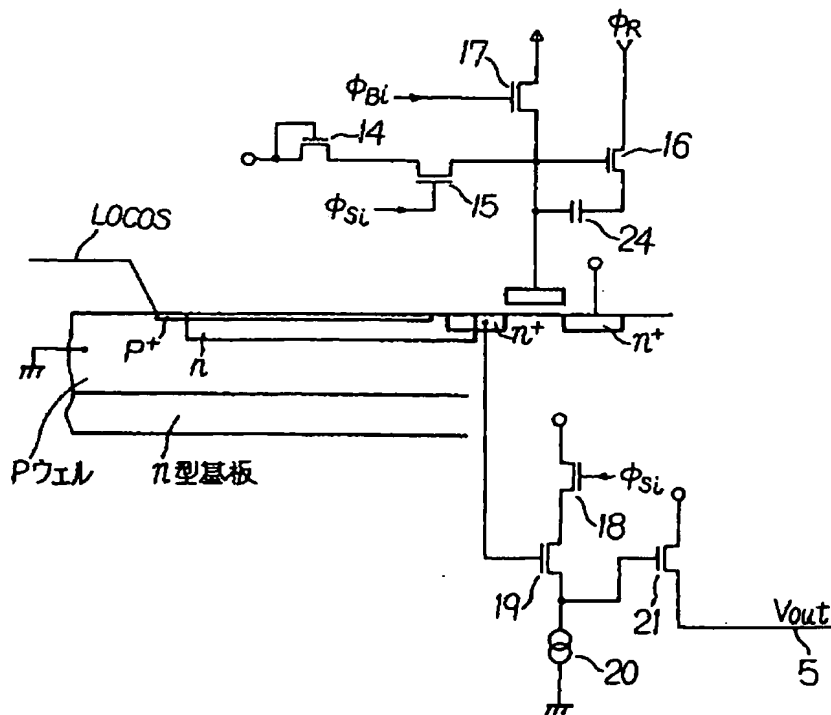
第1図は本発明による固体撮像装置の実施例を示すブロック図、第2図は本発明の固体撮像装置にかかる電荷電圧変換手段の構成を示す回路図、第3図は本発明の固体撮像装置にかかる感光画素の構造を示す図、第4図は第2図に示す電荷電圧変換手段の動作を説明するタイミングチャート、第5図は本発明の固体撮像装置にかかるシフトレジスタの構成を示す回路図、第6図は第5図に示すシフトレジスタの動作を説明するタイミングチャートである。

1……半導体基板、2……シフトレジスタ、4……電流源、5……共通出力ライン、8a, 8b, 8c, 8d, 8e, 8f, 8g……端子、 PE_j ($j=1, \dots, n$)……感光画素、 A_j ($j=1, \dots, n$)……電荷電圧変換手段。

【第1図】

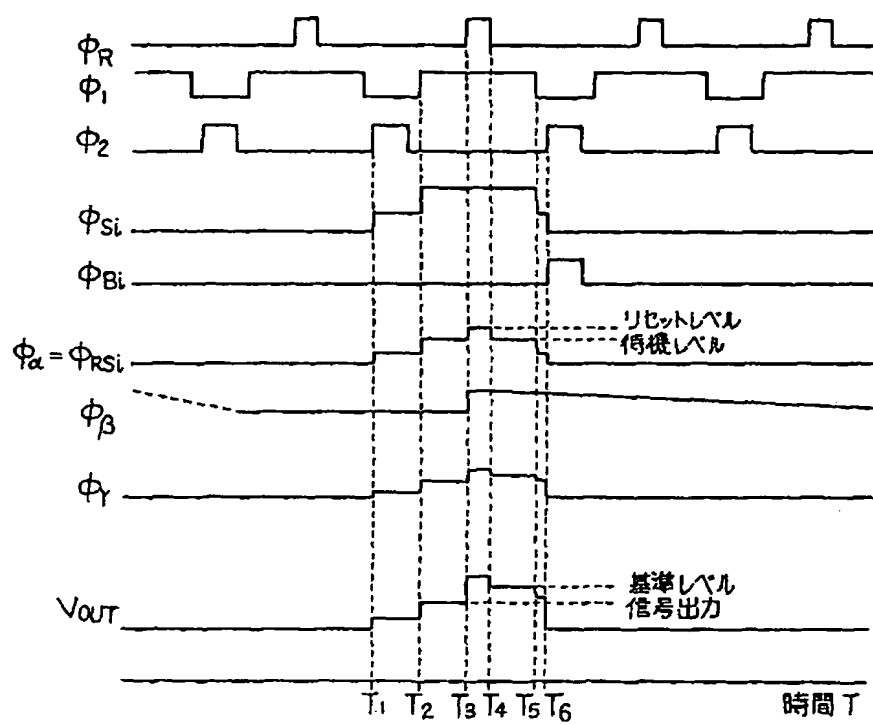


【第3図】



The circuit diagram shows a differential amplifier with a feedback loop. The input signal A_i is applied to the non-inverting input of the amplifier. The output of the amplifier is V_{out} . The feedback loop consists of a resistor 20 and a capacitor 21 connected between the output and the inverting input. The inverting input is also connected to a current source 19 and a resistor 18 . The current source 19 is connected to ground. The resistor 18 is connected to the output. The feedback loop is also connected to a resistor 17 and a capacitor 16 . The resistor 17 is connected to the input signal A_i . The capacitor 16 is connected to the output. The feedback loop is also connected to a resistor 15 and a capacitor 14 . The resistor 15 is connected to the input signal A_i . The capacitor 14 is connected to the output. The feedback loop is also connected to a resistor 13 and a capacitor 12 . The resistor 13 is connected to the input signal A_i . The capacitor 12 is connected to the output. The feedback loop is also connected to a resistor 11 and a capacitor 10 . The resistor 11 is connected to the input signal A_i . The capacitor 10 is connected to the output. The feedback loop is also connected to a resistor 9 and a capacitor 8 . The resistor 9 is connected to the input signal A_i . The capacitor 8 is connected to the output. The feedback loop is also connected to a resistor 7 and a capacitor 6 . The resistor 7 is connected to the input signal A_i . The capacitor 6 is connected to the output. The feedback loop is also connected to a resistor 5 and a capacitor 4 . The resistor 5 is connected to the input signal A_i . The capacitor 4 is connected to the output. The feedback loop is also connected to a resistor 3 and a capacitor 2 . The resistor 3 is connected to the input signal A_i . The capacitor 2 is connected to the output. The feedback loop is also connected to a resistor 1 and a capacitor 1 . The resistor 1 is connected to the input signal A_i . The capacitor 1 is connected to the output.

【第4図】



【第6図】

